

中華民國專利公報 [19] [12]

[11]公告編號：409353

[44]中華民國 89年(2000) 10月21日

發明

全 7 頁

[51] Int.Cl. 06: H01L21/768

[54]名稱：降低接觸電阻之金屬接觸製程及利用該製程形成電晶體之金屬接觸

[21]申請案號：087121954

[22]申請日期：中華民國 87年(1998) 12月31日

[72]發明人：

廖崇維

林明璋

薛添福

鄭晃忠

徐清祥

雲林縣虎尾鎮文化路十三巷十三號

台中縣太平市樹孝路三六二號

新竹縣竹東鎮三重一路一〇九號五樓

新竹市建功一路八十六巷二弄十四號二樓

新竹市建中路一〇〇之二十八號

[71]申請人：

茂達電子股份有限公司

新竹市科學工業園區力行路二號五樓

[74]代理人：黃重智 先生

1

2

[57]申請專利範圍：

1.一種降低接觸電阻之金屬接觸製程，包括下列步驟：

(a)提供一其上形成有第一區域之矽基底，該第一區域表面具有準備形成金屬接觸之第二區域；

(b)摻雜該第二區域，使其表面雜質濃度提高；

(c)去除部份該第一區域，使其鄰近該第二區域處露出側壁；以及

(d)形成金屬層接觸該第二區域及該側壁。

2.如申請專利範圍第1項所述之製程，其中，所述步驟(b)係利用離子佈植者。

3.如申請專利範圍第1項所述之製程，其中，所述步驟(d)係利用金屬濺鍍者。

4.一種降低接觸電阻之金屬接觸製程，包括下列步驟：

(a)提供一矽基底，其上形成有第一導

電型態之第一區域，該第一區域中形成有與該第一導電型態相反之第二導電型態之第二區域，該第二區域表面具有準備形成金屬接觸之第三區域；

(b)摻雜該第三區域，使其表面雜質濃度提高；

(c)去除部份該第二區域，使其鄰近該第三區域處露出側壁，同時使其下之該第一區域表面露出第四區域；

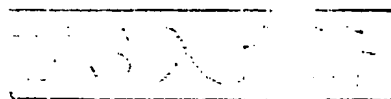
(d)摻雜該第四區域，使其表面雜質濃度提高；以及

(e)形成金屬層接觸該第四區域、該第三區域及其該側壁。

5.如申請專利範圍第4項所述之製程，其中，所述步驟(b)係利用離子佈植者。

6.如申請專利範圍第4項所述之製程，其中，所述步驟(d)係利用離子佈植者。

7.如申請專利範圍第4項所述之製程，其



中，所述步驟(e)係利用金屬濺鍍者。

8.一種製造壕溝型低阻值功率電晶體之金屬接觸的方法，包括下列步驟：

(a)在一具有高摻雜之第一導電型態之矽基底上形成一低摻雜之第一導電型態之磊晶層；

(b)於該磊晶層中形成與該第一導電型態相反之第二導電型態之第一區域；

(c)於該第一區域中形成高摻雜之第一導電型態之第二區域；

(d)形成壕溝結構深達該第一導電型態之磊晶層內，並形成接觸窗口使該第二區域露出；

(e)摻雜該第二區域，使其表面雜質濃度提高；

(f)去除部份該第二區域，使其露出側壁，同時使其下之該第一區域露出；

(g)摻雜該第一區域，使其表面雜質濃度提高；以及

(h)形成金屬層接觸該第一區域、該第二區域及其該側壁。

9.如申請專利範圍第8項所述之方法，其中，所述步驟(d)包括依序成長閘極氧化層、沉積多晶矽、去除部份該閘極氧化層與該多晶矽，以及成長氧化層並去除部份該氧化層者。

10.如申請專利範圍第9項所述之方法，其中，所述去除部份該多晶矽係利用回蝕刻者。

11.如申請專利範圍第8項所述之方法，其中，所述步驟(e)及(g)皆係利用離子佈植者。

12.如申請專利範圍第8項所述之方法，其中，所述步驟(h)係利用金屬濺鍍者。

13.一種製造平面型低阻值功率電晶體之金屬接觸的方法，包括下列步驟：

(a)在一具有高摻雜之第一導電型態之矽基底上形成一低摻雜之第一導電型態之磊晶層；

(b)於該磊晶層中形成與該第一導電型

態相反之第二導電型態之第一區域；

(c)於該第一區域中形成高摻雜之第一導電型態之第二區域；

(d)形成閘極結構，並形成接觸窗口使該第二區域露出；

(e)摻雜該第二區域，使其表面雜質濃度提高；

(f)去除部份該第二區域，使其露出側壁，同時使其下之該第一區域露出；

10. (g)摻雜該第一區域，使其表面雜質濃度提高；以及

(h)形成金屬層接觸該第一區域、該第二區域及其該側壁。

14.如申請專利範圍第13項所述之方法，

15. 其中，所述步驟(d)包括依序成長閘極氧化層、沉積多晶矽、去除部份該閘極氧化層與該多晶矽，以及成長氧化層並去除部份該氧化層者。

15.如申請專利範圍第13項所述之方法，

20. 其中，所述步驟(e)及(g)皆係利用離子佈植者。

16.如申請專利範圍第13項所述之方法，其中，所述步驟(h)係利用金屬濺鍍者。

25. 17.一種電晶體之金屬接觸，包括：

一第一導電型態之第一區域，其表面具有一高摻雜之第二區域；

於該第一區域中形成之高摻雜之與該第一導電型態相反之第二導電型態之第三區域及第四區域，該第三區域及該第四區域分別具有側壁，且其表面分別具有高摻雜之第五區域及第六區域；

一金屬層接觸該第二區域、該第三區域及該第四區域之該側壁，以及該第五區域與該第六區域。

35. 18.如申請專利範圍第17項所述之金屬接觸，其中，該金屬層底部具有階梯者。

19.如申請專利範圍第17項所述之金屬接觸，更包括壕溝結構深度超過該第一區域之底部者。

20.如申請專利範圍第 17 項所述之金屬接觸，其中，該第一區域係一井區者。

圖式簡單說明：

第一圖係一習知之壕溝型功率電晶體之剖視圖，其接觸電阻雖能夠被降低，卻需要增加額外的光罩。

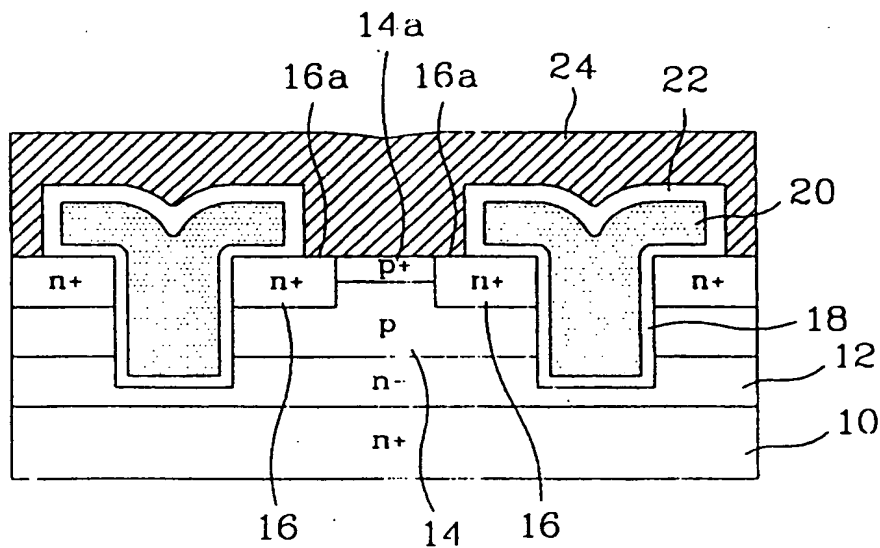
第二圖係另一習知之壕溝型電晶體之剖視圖，其製程較簡單，但接觸電阻高。

第三圖係本發明一實施例之示意圖，其係製造一壕溝型低阻值功率電晶體之過程。其中 (a) 圖及 (b) 圖分別為形成壕溝

前、後之狀態，(c) 圖至 (e) 圖係於壕溝內形成閘極的過程，(f) 圖及 (g) 圖係對形成電極接觸之區域進行表面摻雜及部份蝕刻之過程，(h) 圖則是完成金屬接觸後之狀態。

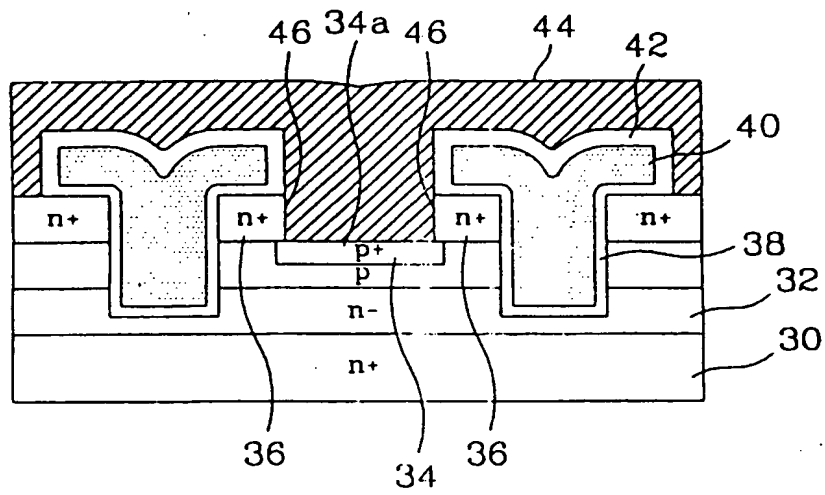
第四圖係本發明另一壕溝型低阻值功率電晶體之實施例之剖視圖，其中壕溝內之多晶矽係利用回蝕刻製程形成。

第五圖係本發明又一實施例之示意圖，其中顯示一平面型雙擴散金氧半電晶體之結構。

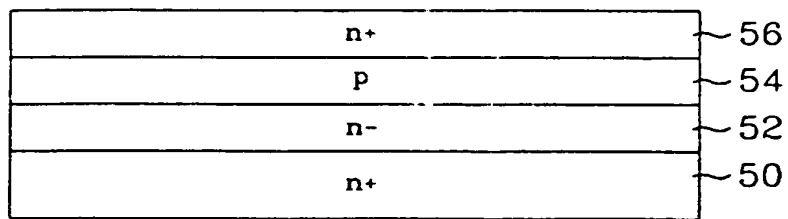


第一圖

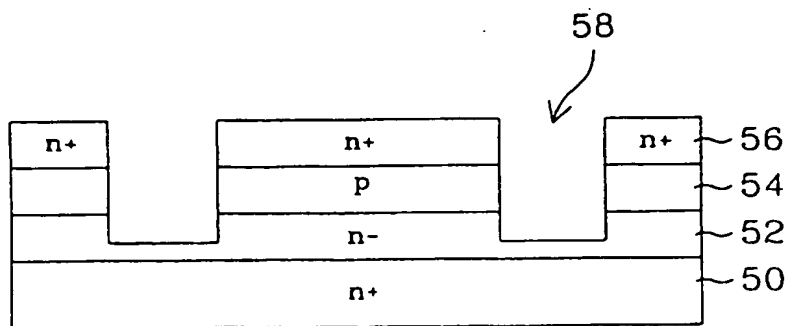
(4)



第二圖

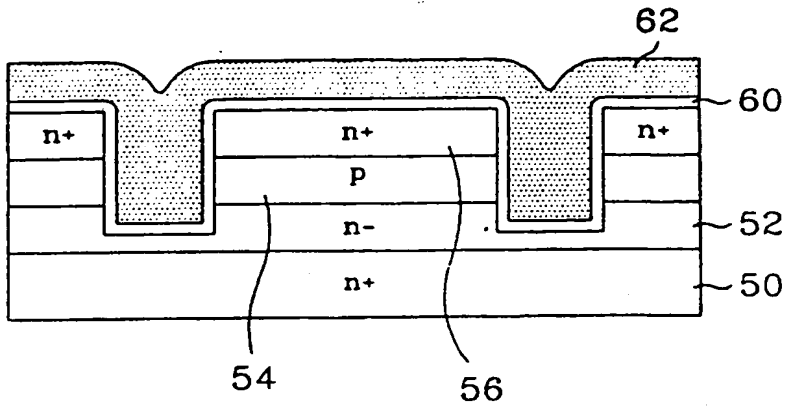


第三圖 a

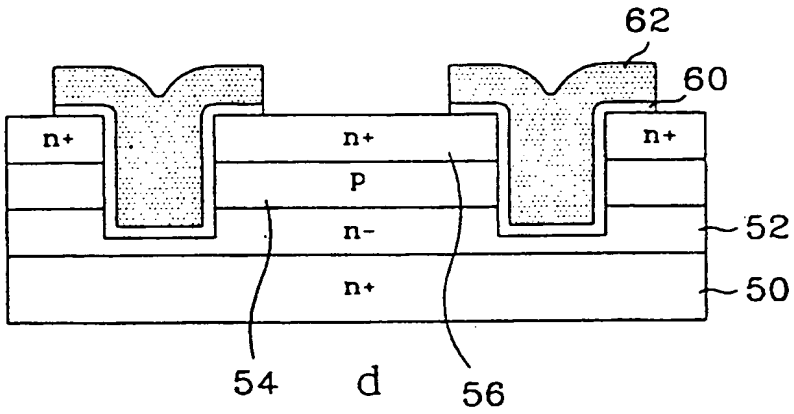


第三圖 b

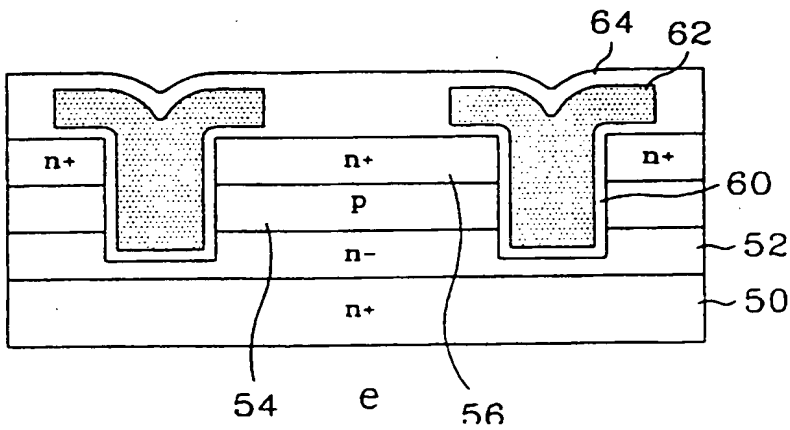
(5)



第三圖 C

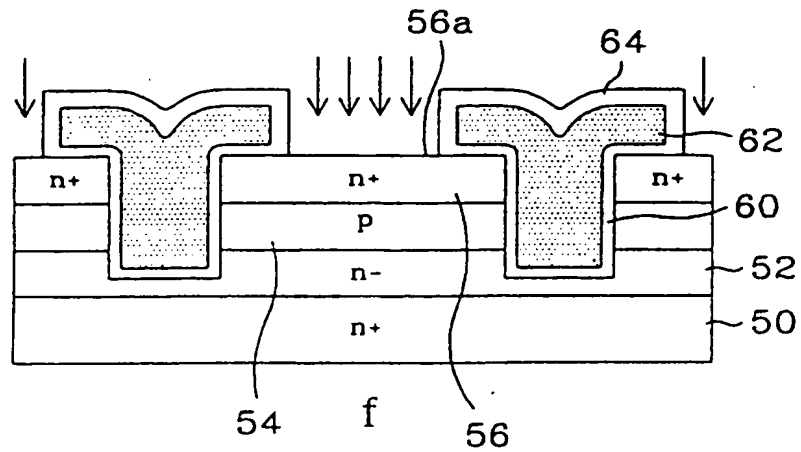


第三圖

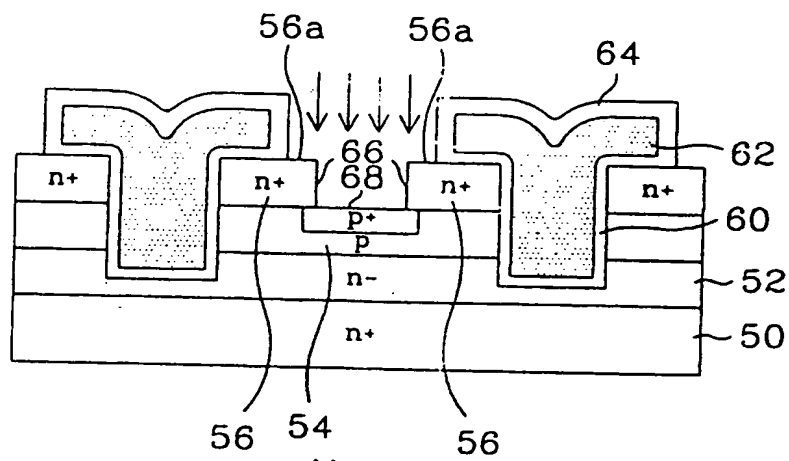


第三圖

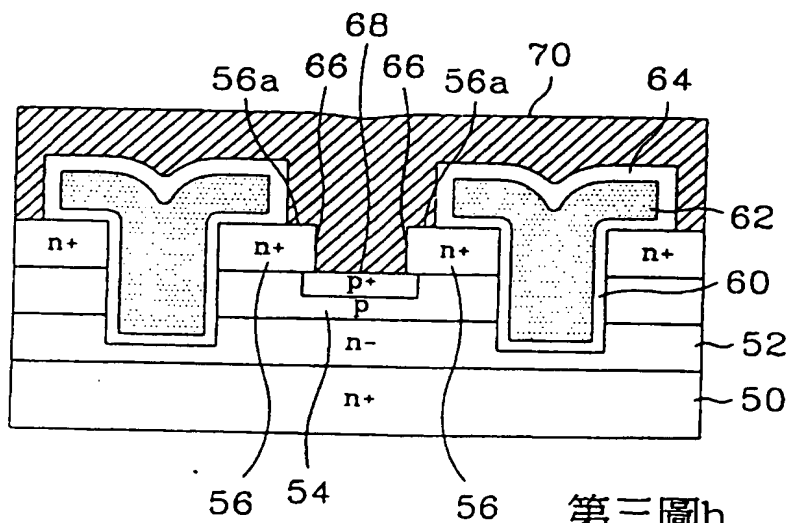
(6)



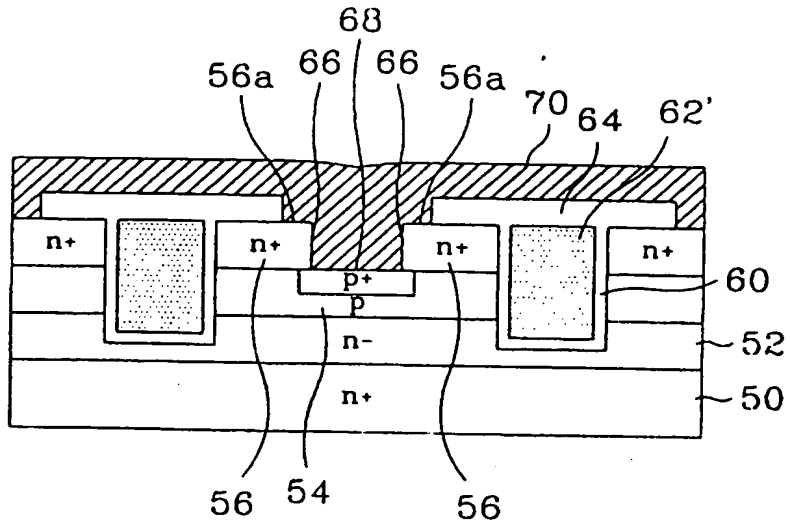
第三圖



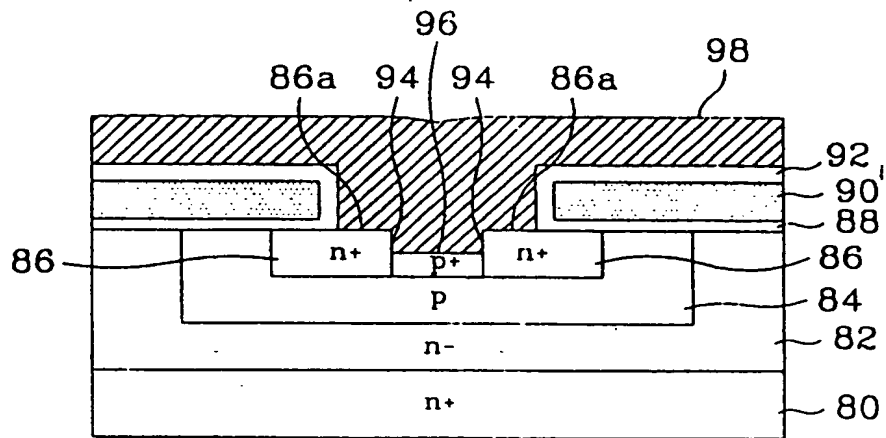
第三圖 g



第三圖h



第四圖



第五圖